

Docket No.: W&B-INF-1917

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313

By:  Date: October 21, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/659,843
Applicant : Susanne Lachenmann et al.
Filed : September 11, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1917
Customer No.: 24131

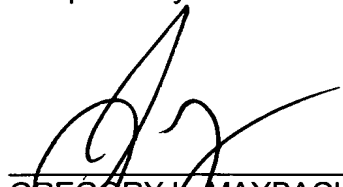
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 42 054.8 filed September 11, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 21, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 42 054.8

Anmeldetag: 11. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Teststruktur zur Messung eines Übergangswiderstands in einem DRAM-Speicherzellenfeld

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'A. G. G. G.', written over a faint, illegible stamp.

Beschreibung

Teststruktur zur Messung eines Übergangswiderstands in einem DRAM-Speicherzellenfeld

5

Die Erfindung betrifft eine Teststruktur zum Bestimmen des Widerstands eines leitenden Übergangs zwischen einem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator in einem matrixförmigen Zellenfeld, insbesondere einem sogenannten „single-sided buried-strap“-DRAM-Speicherzellenfeld.

10

Dynamische Halbleiterspeicher mit wahlfreiem Zugriff (DRAM) enthalten eine Matrix von Speicherzellen, welche in Form von Zeilen über Wortleitungen und Spalten über Bitleitungen verschaltet sind. Das Auslesen von Daten aus den Speicherzellen oder das Schreiben von Daten in die Speicherzellen wird durch Aktivierung geeigneter Wort- und Bitleitungen bewerkstelligt. Eine dynamische Speicherzelle besteht im Allgemeinen aus einem Auswahltransistor und einem Speicherkondensator, wobei

20 der Auswahltransistor üblicherweise als horizontal ausgelegter Feldeffekttransistor ausgestaltet ist und zwei Diffusionsbereiche umfasst, welche durch einen Kanal getrennt sind, oberhalb dessen ein Gate angeordnet ist. Das Gate ist dann mit einer Wortleitung verbunden. Einer der Diffusionsbereiche

25 des Auswahltransistors ist mit einer Bitleitung und der andere Diffusionsbereich mit dem Speicherkondensator verbunden. Durch Anlegen einer geeigneten Spannung über die Wortleitung an das Gate schaltet der Auswahltransistor durch und ermöglicht einen Stromfluss zwischen den Diffusionsgebieten, um

30 den Speicherkondensator über die Bitleitung zu laden.

35

Das fortlaufende Bestreben, DRAM-Speicherchips zu verkleinern, hat zum Entwurf von DRAM-Speicherzellen geführt, bei denen insbesondere der Speicherkondensator die dritte Dimension nutzt. Als wesentliche Ausführungsformen von dreidimensionalen Speicherkondensatoren wurden Grabenkondensatoren und Stapelkondensatoren entwickelt, wobei für DRAM-Speicherzellen

meist der Grabenkondensatortyp verwendet wird. Der Grabenkondensator besteht aus einem in das Halbleitersubstrat geätzten Graben, der mit einem hochleitfähigen Material gefüllt ist, welches als eine innere Kondensatorelektrode dient. Die äußere Kondensatorelektrode ist dagegen im Substrat durch eine Dielektrikumsschicht vergraben. Die elektrische Verbindung zwischen dem Diffusionsgebiet des Auswahltransistors und der ersten inneren Kondensatorelektrode erfolgt im Allgemeinen im oberen Grabenbereich durch einen üblicherweise als Diffusionsgebiet ausgebildeten Kondensatoranschluss, den sogenannten „Buried Strap“. Da das Diffusionsgebiet des Auswahltransistors und die innere Kondensatorelektrode des Grabenkondensators mit getrennten Prozessschritten und üblicherweise unterschiedlichen Materialien hergestellt werden, ergibt sich ein Übergangswiderstand zwischen dem Diffusionsgebiet des Auswahltransistors und der Kondensatorelektrode, der einen wesentlichen Einfluss auf die zu ladende Speicherkapazität und Ladungsgeschwindigkeit und damit auf die Leistungsmerkmale des DRAM-Speicherchips hat.

Die Charakterisierung dieses Übergangswiderstands zwischen dem Diffusionsgebiet des Auswahltransistors und dem Speicherkondensator, die sogenannte „Buried Strap“-Widerstandsmessung, gehört deshalb zu den elektrischen Standardtests bei der Herstellung von DRAM-Speicherchips. Zur Charakterisierung dieses Übergangswiderstands werden üblicherweise auf dem Halbleiterwafer im Zwischenraum zwischen den einzelnen DRAM-Speicherchips, dem sogenannten Kerfbereich, beim Herstellen der DRAM-Speicherzellen zusätzlich Teststrukturen ausgebildet, die dem Speicherzellenfeld nachgebildet sind, und die Möglichkeit geben, den Übergangswiderstand zwischen einem Diffusionsgebiet eines Auswahltransistors und einem Speicherkondensator zu messen. Hierzu werden Teststrukturen ausgebildet, die sowohl die Messung eines einzelnen Übergangswiderstands von einem Diffusionsgebiet eines Auswahltransistors zu einem Speicherkondensator ermöglichen, wie auch Teststrukturen, die aus einer Kette in Serie geschalteten Übergangswi-

derständen bestehen. Die Teststrukturen sind über zusätzlich ausgebildete Kontaktflächen, sogenannte Kontaktpads, mithilfe einer üblicherweise zum Testen eingesetzten Nadelkarte kontaktierbar, um die Spannungs- bzw. Stromsignale ein- bzw. auskoppeln zu können.

Zum Herstellen von DRAM-Speicherzellenfeldern mit einer aus einem planaren Auswahltransistor und einem Grabenkondensator bestehenden Speicherzelle wird üblicherweise eine Prozesstechnologie eingesetzt, bei dem der elektrische Übergang unabhängig von der Orientierung der Diffusionsgebiete der Auswahltransistoren und der Grabenkondensatoren zueinander ist. Bei diesem Herstellungsverfahren sind die aktiven Gebiete, d.h. die Diffusionsbereiche des Auswahltransistors, in Reihen in eine erste Richtung und die Speicherkondensatoren in Reihen in eine zweite Richtung, die senkrecht zur ersten Richtung verläuft, angeordnet, wobei die leitenden Übergänge zwischen den aktiven Gebieten der Auswahltransistoren und der Speicherkondensatoren an den sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen jeweils in beiden Kantenbereichen der sich überlappenden Fläche in die erste Richtung ausgeführt sind. Für solche, auch als „double-sided buried-strap“ oder MINT (merged isolation and node trench) bezeichnete DRAM-Speicherzellenfelder sind bereits Widerstandsmessstrukturen bekannt.

Dieses „double-sided buried-strap“-Zellenfeldkonzept wird jedoch zunehmend durch das sogenannte „single-sided buried-strap“-Konzept ersetzt, mit dem sich lithografisch einfacher abzubildende Zellenfeldgeometrien herstellen lassen. Bei dieser Zellenfeldtechnik werden die leitenden Übergänge zwischen den aktiven Gebieten der Auswahltransistoren und den Speicherkondensatoren an den sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen von aktiven Gebieten der Auswahltransistoren in eine erste Richtung und Speicherkondensatoren in eine zweite Richtung jeweils nur in einem einzigen Kantenbereich in die erste Richtung der sich überlap-

penden Fläche in die erste Richtung ausgeführt. Im gegenüberliegenden Kantenbereich ist dagegen das aktive Gebiet des Auswahltransistors vom darunter liegenden Speicherkondensator isoliert. Mit dieser „single-sided buried strap“-

5 Zellenfeldkonzept ist insbesondere die Ausbildung eines sogenannten „Checkerboard“-Zellengeometrie möglich, bei dem die Speicherzellen an den Kreuzungspunkten zwischen den aktiven Gebieten der Auswahltransistoren und der Speicherkondensatoren in benachbarten Reihen gegeneinander versetzt angeordnet
10 sind. Für solche „single-sided buried-strap“-Zellenfeldkonzepte sind im Stand der Technik noch keine Teststrukturen zur Messung des elektrischen Übergangswiderstands zwischen dem Diffusionsgebiet, d.h. dem aktiven Gebiet des Auswahltransistors, und dem Speicherkondensator bekannt.

15 Aufgabe der Erfindung ist es, eine Teststruktur zum Bestimmen des Widerstands eines leitenden Übergangs zwischen einem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator in einem matrixförmigen Speicherzellenfeld nach dem
20 „single-sided buried-strap“-Konzept bereitzustellen.

Diese Aufgabe wird durch eine Teststruktur gemäß Anspruch 1 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

25 Die erfindungsgemäße Teststruktur zum Bestimmen des Widerstands eines leitenden Übergangs zwischen einem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator in einem matrixförmigen Zellenfeld, das nach dem „single-
30 sided buried-strap“-Konzept aufgebaut ist, bei dem die leitenden Übergänge zwischen den aktiven Gebieten der Auswahltransistoren und der Speicherkondensatoren an sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen von aktiven Gebieten der Auswahltransistoren und Speicherkon-
35 densatoren jeweils in einem einzigen Kantenbereich der überlappenden Fläche in Richtung der Reihe der aktiven Gebiete ausgeführt sind, weist Verbindungsstrukturen zwischen den ak-

tiven Gebieten und/oder den Speicherkondensatoren auf, die Tunnelstrukturen oder Brückenstrukturen entsprechen und in die Richtung senkrecht zum zu messenden Übergang in an den zu messenden Übergang angrenzenden Bereichen ausgeführt sind.

5 Durch diese Teststrukturen, bei der die Zuleitungen zum zu messenden leitenden Übergang zwischen dem aktiven Gebiet des Auswahltransistors und dem Speicherkondensator im Wesentlichen senkrecht zu diesem Übergang angeordnet sind, wird ermöglicht, diese Zuleitungen möglichst niederohmig zu halten, so dass sie das Messergebnis kaum beeinträchtigt und gleichzeitig die Geometrie der Teststruktur im Wesentlichen dem entsprechenden „single-side strap“-Speicherzellenfeld nachzubilden.

15 Gemäß einer bevorzugten Ausführungsform sind zum Bestimmen des Widerstands einer Serienschaltung mehrerer leitender Übergänge zwischen aktiven Gebieten von Auswahltransistoren und Speicherkondensatoren in einer Reihe in Richtung senkrecht zur Richtung dieser Übergänge, d.h. in die zweite Richtung, die entsprechenden aktiven Gebiete der Auswahltransistoren und die entsprechenden Speicherkondensatoren abwechselnd über Tunnelstrukturen oder Brückenstrukturen in diese zweite Richtung verbunden. Diese Auslegung der Teststruktur ermöglicht die Messung einer Vielzahl von in Serie geschalteter leitender Übergänge, ohne dass die Verbindung zwischen
25 den einzelnen leitenden Übergängen das Messergebnis wesentlich stört, da dieses durch die erfindungsgemäße Auslegung niederohmig gehalten wird. Weiterhin ist es so möglich, eine Teststruktur zu entwerfen, die dem Originalzellenfeld nach
30 dem „single-sided buried-strap“-Konzept sehr nahe kommt.

Gemäß einer weiteren bevorzugten Ausführungsform weist die Teststruktur ein matrixförmiges Zellenfeld auf, das als Checkerboard-Feld ausgelegt ist, wobei die sich überlappenden
35 Flächen mit den leitenden Übergängen zwischen den aktiven Gebieten der Auswahltransistoren und der Speicherkondensatoren so ausgelegt sind, dass diese überlappenden Flächen in neben-

einander liegenden Reihen in Richtung der aktiven Gebiete jeweils gegeneinander versetzt angeordnet sind, wobei der Strompfad zum Bestimmen des Widerstands der Serienschaltung aus mehreren leitenden Übergängen einen rechteckigen Verlauf mit einer alternierenden Folge von verbundenen aktiven Gebieten und verbundenen Speicherkondensatoren besitzt. Mit dieser Teststruktur ist es möglich, einem Checkerboard-Zellenfeld eines DRAM-Speicherchip nach dem „single-sided buried-strap“-Konzept sehr nahe zu kommen und gleichzeitig für niederohmige Verbindungen zwischen den zu messenden „buried-strap“-Widerständen zu sorgen.

1) Gemäß einer weiteren bevorzugten Ausführungsform besteht die Möglichkeit, mehrere Reihen von Serienschaltungen mit leitenden Übergängen über eine Verbindung der aktiven Gebiete der Auswahltransistoren im Zellenrandbereich über Tunnel- oder Brückenstrukturen zu koppeln und so die Messung einer großen Anzahl von leitenden Übergängen in Serie zu ermöglichen.

Gemäß einer weiteren bevorzugten Ausführungsform ist die Teststruktur einem Checkerboard-Zellenfeld nachgebildet, wobei der Strompfad zur Bestimmung des Widerstands eines leitenden Übergangs zwischen dem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator einen L-förmigen Verlauf in die Richtung senkrecht zum leitenden Übergang besitzt, mit über Tunnel- oder Brückenstrukturen verbundenen Speicherkondensatoren bzw. aktiven Gebieten von Auswahltransistoren. Diese Auslegung ermöglicht es, als Randbedingung für die Teststruktur die Verbindung des zu messenden Übergangswiderstands möglichst niederohmig zu halten und gleichzeitig mit der Teststruktur dem Checkerboard-Zellenfeld der DRAM-Speicherzellen möglichst nahe zu kommen.

Weiterhin ist es bevorzugt, auch den Spannungspfad für die Widerstandsmessung L-förmig mit über senkrecht zur Übergangsstruktur verbundenen Speicherkondensatoren bzw. aktiven Gebieten von Auswahltransistoren auszubilden, wobei der Strom-

pfad und der Spannungspfad spiegelsymmetrisch bezüglich des aktiven Gebietes mit dem leitenden Übergang ist. Dies erlaubt eine Messanordnung, die einer Vierpunktmessung mit niedrigen Zuleitungswiderständen entspricht.

5

Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert. Es zeigt

10 Figur 1 ein „single-sided buried-strap“-Zellenfeld mit Checkerboard-Geometrie, wobei Figur 1a eine schematische Aufsicht, Figur 1b die schematische Aufsicht, in der leitende „buried-strap“-Übergänge durch Kreise markiert sind und elektrisch getrennte Flankenbereiche zur Kreuze markiert sind, Figur 1c einen Querschnitt entlang der x1-Linie in Figur 1b und Figur 1d einen Querschnitt entlang der y1-Linie in Figur 1b darstellen;

20 Figur 2 ein erfindungsgemäßes „single-sided buried-strap“-Teststrukturzellenfeld mit Checkerboard-Geometrie mit einer Serienschaltung von leitenden Übergängen, wobei Figur 2a eine schematische Aufsicht, Figur 2b Detailansichten von Figur 2a, Figur 2c ein Strompfad in der Aufsicht und Figur 2d eine Schnittansicht entlang des Strompfads in Figur 2c darstellt; und

25 Figur 3 ein erfindungsgemäßes „single-sided buried-strap“-Teststrukturzellenfeld zur Messung eines Einzelkontaktes, wobei Figur 3a schematisch eine Aufsicht, Figur 3b die Aufsicht mit Kennzeichnung der leitenden Übergänge, sowie der isolierten Schnittkanten und Figur 3c eine Aufsicht mit Strom- und Spannungspfad darstellt.

35 Die Erfindung wird am Beispiel eines DRAM-Speicherchips mit einer Checkerboard-Feldzelligeometrie erläutert. DRAM-Speicherchips setzen sich aus einer Speicherzellenmatrix zusammen, die in Zeilen und Spalten organisiert sind. Die Spei-

cherzelle besteht aus einem Auswahltransistor und einem Spei-
cherkondensator, der entsprechend seiner Ladung die Speicher-
zustände „0“ oder „1“ repräsentiert. Der Auswahltransistor
ist dabei als planarer Feldeffekttransistor mit zwei durch
5 einen Kanal getrennten Diffusionsgebieten ausgebildet, die
über ein über dem Kanal angeordnetes Gate durchgeschaltet
werden können. Die Diffusionsgebiete mit dem Kanal stellen
das aktive Gebiet des Auswahltransistors dar. Das Gate des
Auswahltransistors ist an eine Wortleitung, eines der Diffu-
10 sionsgebiete des aktiven Gebiets an eine Bitleitung des DRAM-
Speicherchips angeschlossen. Das andere Diffusionsgebiet ist
mit dem Speicherkondensator über einen Kondensatoranschluss-
bereich, im Allgemeinen ein vergrößertes Diffusionsgebiet,
verbunden. Dieser Kondensatoranschluss wird auch als „buried-
15 strap“ bezeichnet, wenn der Speicherkondensator als Graben-
kondensator ausgebildet ist. Der Auswahltransistor ist dann
an die innere Kondensatorelektrode, die im Graben des Graben-
kondensators ausgebildet ist, angeschlossen, wobei die innere
Kondensatorelektrode ist durch eine Dielektrikumschicht von
20 einer im Allgemeinen vergraben angeordneten äußeren Kondensa-
torelektrode getrennt.

Die DRAM-Speicherzellen werden üblicherweise mithilfe der Si-
liziumpalanartechnik hergestellt. Ein vorteilhaftes DRAM-
25 Speicherkonzept ist das „single-sided buried-strap“-Konzept,
das in Figur 1 schematisch am Beispiel eines Checkerboard-
Zellenfeldes dargestellt ist. Das Zellenfeld setzt sich dabei
aus in vertikalen Reihen verlaufenden aktiven Gebieten und in
horizontalen Reihen verlaufenden, rechteckigen Speicherkon-
30 densatorbereichen zusammen. Figur 1a zeigt eine Aufsicht, wo-
bei die Reihen mit aktiven Gebieten mit der Bezugszahl 1 und
die horizontal dazu verlaufenden Reihen mit Speicherkondensa-
toren mit der Bezugszahl 2 versehen. Der Anschluss der akti-
ven Gebiete 1 an die Speicherkondensatoren 2 erfolgt im Be-
35 reich der sich überlappenden Flächen, wobei nach dem „single-
sided buried-strap“-Konzept die Auswahltransistoren mit den
Speicherkondensatoren jeweils in einem einzigen Kantenbereich

der sich überlappenden Fläche in Richtung der aktiven Gebiete miteinander verbunden sind. Die leitenden Übergänge zwischen den Auswahltransistoren und den Speicherkondensatoren sind in Figur 1b durch Kreise gekennzeichnet, die elektrisch voneinander getrennten Schnittkanten im Bereich der sich überlappenden Flächen dagegen durch Kreuze markiert.

Bei der in Figur 1 dargestellten Checkerboard-Zellengeometrie sind, wie aus Figur 1b ersichtlich ist, die Speicherzellen mit zusammengekoppeltem Auswahltransistor und Speicherkondensator jeweils gegeneinander versetzt angeordnet, d.h. in den senkrecht zueinander verlaufenden Reihen mit aktiven Gebieten ist jeweils nur an jeder zweiten Schnittfläche eine Verbindung zwischen dem Speicherkondensator und den aktiven Gebieten hergestellt, wobei die leitenden Übergänge in nebeneinanderliegenden Reihen gegeneinander versetzt angeordnet sind. Figur 1c zeigt einen Schnitt durch das DRAM-

Speicherzellenfeld entlang der y1-Linie in Figur 1b. Die aktiven Gebiete 1 sind dabei von den Speicherkondensatoren 2 durch Isolatorbereiche 3 getrennt, d.h. in diese Richtung fließt kein Strom durch die Zellenfeldanordnung. Figur 1d zeigt weiter eine Schnittansicht entlang der x1-Linie, wobei die leitenden Übergänge zwischen den aktiven Gebieten 1 und den Speicherkondensatoren wiederum durch Kreise und die sperrenden Übergänge durch Kreuze gekennzeichnet sind. Die leitenden Übergänge zwischen den aktiven Gebieten und den Speicherkondensatoren werden dabei vorzugsweise durch eine zusätzliche schräg ausgeführte Dotierimplantation erzeugt.

Figur 2 zeigt eine erfindungsgemäße Teststruktur zum Bestimmen des Übergangswiderstands zwischen den aktiven Gebieten der Auswahltransistoren und dem Speicherkondensator. Die Teststruktur ist vorzugsweise im Kerfbereich, d.h. dem Bereich auf einem Wafer zwischen zwei DRAM-Speicherchips, ausgebildet. Die Messung des Übergangswiderstands soll bei den gezeigten Teststrukturen an einer Kette aus in Serie geschalteten elektrischen Übergängen erfolgen. Wie Figur 2a zeigt,

ist die Teststruktur dabei der in Figur 1 dargestellten DRAM-Zellenstruktur sehr ähnlich, d.h. mit senkrecht verlaufenden Reihen von aktiven Gebieten 3 und quer verlaufenden Reihen mit rechteckigen Speicherkondensatoren 4. Die Kreise stellen dabei die zu messenden elektrischen Übergänge zwischen den aktiven Gebieten des Auswahltransistors und den zugehörigen Speicherkondensatoren dar.

Um einen Stromfluss zwischen den in Reihe geschalteten DRAM-Speicherzellen zum Messen der elektrischen Übergangswiderstände zwischen den aktiven Gebieten der Auswahltransistoren und der Speicherkondensatoren zu erreichen, sind, wie in Figur 2 vergrößert an Ausschnitten von Figur 2a dargestellt ist, elektrische Verbindungen quer zu den leitenden Übergängen zwischen den Speicherkondensatoren bzw. den aktiven Gebieten hergestellt. Figur 2b zeigt eine Brückenstruktur 41 zwischen Speicherkondensatoren und eine Bügelstruktur 31 zwischen den aktiven Gebieten. Alternativ zu solchen Brücken- bzw. Bügelstrukturen besteht auch die Möglichkeit, Tunnelstrukturen zwischen den Speicherkondensatoren bzw. aktiven Gebieten auszubilden.

Figur 2c zeigt den so hergestellten Strompfad zwischen den mit Kreisen gekennzeichneten leitenden Übergängen. Bezogen auf eine Reihenschaltung von auf einer horizontalen Linie nebeneinander liegenden in Serie geschalteten elektrischen Übergängen hat dieser Strompfad einen rechteckigen Verlauf mit einer alternierenden Folge von Bügeln zwischen aktiven Gebieten und Brücken zwischen Speicherkondensatoren, die jeweils in den an den leitenden Übergängen angrenzenden Bereich angeordnet sind.

Um zwischen mehreren horizontalen Reihen von in Serie geschalteten leitenden Übergängen eine Verbindung herstellen zu können und so die Messung einer großen Anzahl von elektrischen Übergängen in Serie zu erlauben, sind die nebeneinander liegenden Reihen im Bereich des Zellenfeldrandes durch eine

Verbindung der aktiven Gebiete 32 in Form einer C-förmigen Brückenstruktur, wie in Figur 2c gezeigt, miteinander gekoppelt. Figur 2d zeigt eine Schnittansicht entlang des Strompfades von Figur 2c im Bereich der Abschnitte A bis C. Durch die Tunnel- bzw. Brückenstruktur zwischen den aktiven Gebieten und den Speicherkondensatoren ist ein Stromfluss durch die Anordnung und damit die Messung der elektrischen Übergangswiderstände im Bereich der durch Kreise gezeichneten Speicherzellen möglich. Durch die erfindungsgemäße Anordnung wird dabei eine niederohmige Verbindung zwischen den zu messenden elektrischen Übergangswiderständen hergestellt, wobei gleichzeitig die Geometrie der Teststruktur dem entsprechenden „single-sided strap“-Speicherzellenfeld mit Checkerboard-Geometrie möglichst nahe kommt.

Figur 3 zeigt eine zweite Ausführungsform der Erfindung zur Messung eines einzelnen Übergangswiderstands zwischen einem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator. Die Teststruktur weist dabei wieder senkrecht zueinander verlaufende Reihen von aktiven Gebieten 5 und quer verlaufenden Reihen von rechteckigen Speicherkondensatoren 6 auf, wobei die Anordnung wiederum dem Checkerboard-Zellenfeld des DRAM-Speicherchips nachgebildet ist. Der zu messende elektrische Übergang zwischen dem aktiven Gebiet und dem Speicherkondensator ist in Figur 3a und 3b durch einen Pfeil markiert, wobei die leitenden elektrischen Übergänge durch Kreise, und die isolierenden elektrischen Übergänge mit Kreuzen gekennzeichnet sind. Zur Messung wird die obere Zuleitung zum leitenden Übergang durch eine durchgehende Bahn 51 von Speicherkondensatoren gebildet. Die untere Zuleitung dagegen ist als durchgehender Bügel zwischen den aktiven Gebieten 61 ausgeformt.

Figur 3c zeigt den Strom- und Spannungspfad zur Messung des elektrischen Übergangs, wobei zur Messung an I+ die sogenannte „Force High“ und an I- die sogenannte „Force Low“ anliegt. Dies ermöglicht einen Strompfad von der quer verlaufenden

Speicher kondensator-Bahn 51, über den zu messenden elektrischen Übergang und den anschließenden senkrecht verlaufenden aktiven Bereich zu der quer verlaufenden Bügelbahn der aktiven Gebiete. Die Spannung kann dann, wie in Figur 3c gezeigt ist, zwischen V+ und V- gemessen werden, so dass die Anordnung einer Vierpunktmessung sehr nahe kommt, wobei nur das vertikale aktive Gebiet zwischen dem zu messenden elektrischen Übergang und den quer verlaufenden Zuleitungen 51, 61 zum Serienwiderstand beiträgt und so den Messwert beeinflusst.

Durch die Erfindung werden die Zuleitungswiderstände zum zu messenden elektrischen Übergang möglichst gering gehalten, wobei die Geometrie der Teststruktur dem DRAM-Speicherzellenfeld des Speicherchips im Wesentlichen entspricht.

Die erfindungsgemäße Auslegung der Teststruktur mit quer zu den zu messenden Übergängen zwischen den Auswahltransistoren und Speicherkondensatoren ausgebildeten Brücken zwischen den aktiven Gebieten und Speicherkondensatoren ermöglicht auf einfache Weise die Geometrie der Teststruktur dem Originalspeicherzellenfeld möglichst einfach nachzubilden und gleichzeitig als Randbedingung die Zuleitungswiderstände bzw. die Widerstände zwischen den zu verbindenden elektrischen Übergängen möglichst gering zu halten.

Patentansprüche

1. Teststruktur zum Bestimmen des Widerstandes eines leitenden Übergangs zwischen einem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator in einem matrixförmigen Zellenfeld, bei dem die aktiven Gebiete der Auswahltransistoren in Reihen in eine erste Richtung und die Speicherkondensatoren in Reihen in eine zweite Richtung, die senkrecht zur ersten Richtung verläuft, angeordnet sind, wobei die leitenden Übergänge zwischen den aktiven Gebieten der Auswahltransistoren und den Speicherkondensatoren an sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen jeweils in einem einzigen Kantenbereich der sich überlappenden Fläche in die erste Richtung ausgeführt sind, dadurch gekennzeichnet, dass die aktiven Gebiete der Auswahltransistoren und/oder die Speicherkondensatoren durch Tunnelstrukturen oder Brückenstrukturen in die zweite Richtung im an den zu messenden Übergang zwischen dem aktiven Gebiete des Auswahltransistor und dem Speicherkondensator angrenzenden Bereich verbunden sind, um eine niederohmige Verbindung zum zu messenden Übergang zu erreichen.
2. Teststruktur nach Anspruch 1, dadurch gekennzeichnet, dass zum Bestimmen des Widerstandes einer Serienschaltung mehrerer leitender Übergänge zwischen aktiven Gebiete von Auswahltransistoren und Speicherkondensatoren in einer Reihe in die zweite Richtung die entsprechenden aktiven Gebiete der Auswahltransistoren und die entsprechenden Speicherkondensatoren abwechselnd über Tunnelstrukturen oder Brückenstrukturen in die zweite Richtung verbunden sind.
3. Teststruktur nach Anspruch 2, dadurch gekennzeichnet, dass das matrixförmigen Zellenfeld als Checkerboard-Feld ausgelegt ist, wobei die leitenden Übergänge zwischen

den aktiven Gebieten der Auswahltransistoren und den Speicherkondensatoren an sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen jeweils an jeder zweiten sich überlappenden Fläche in einer Reihe in die erste Richtung ausgeführt sind, wobei die überlappenden Flächen mit den leitenden Übergängen nebeneinander liegender Reihen in die erste Richtung gegeneinander versetzt angeordnet sind, wobei der Strompfad zum Bestimmen des Widerstandes der Serienschaltung mehrerer leitender Übergänge zwischen aktiven Gebiete von Auswahltransistoren und den Speicherkondensatoren in einer Reihe in die zweite Richtung einen rechteckigen Verlauf mit einer alternierenden Folge von in die zweite Richtung über Tunnelstrukturen oder Brückenstrukturen verbundenen aktiven Gebieten der Auswahltransistoren und von in die zweite Richtung über Tunnelstrukturen oder Brückenstrukturen verbundenen Speicherkondensatoren besitzt.

4. Teststruktur nach Anspruch 3, dadurch gekennzeichnet, dass zum Bestimmen des Widerstandes einer Serienschaltung mehrerer leitender Übergänge zwischen aktiven Gebiete von Auswahltransistoren und Speicherkondensatoren mehrere Reihen von Serienschaltungen mehrerer leitender Übergänge zwischen aktiven Gebiete von Auswahltransistoren und Speicherkondensatoren in die zweite Richtung in einem Zellenrandbereich über Tunnelstrukturen oder Brückenstrukturen zwischen den aktiven Gebieten der Auswahltransistoren verbunden sind.

5. Teststruktur nach Anspruch 1, dadurch gekennzeichnet, dass das matrixförmigen Zellenfeld als Checkerboard-Feld ausgelegt ist, wobei die leitenden Übergänge zwischen den aktiven Gebieten der Auswahltransistoren und den zugehörigen Speicherkondensatoren an sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen jeweils an jeder zweiten sich überlappenden Fläche in ei-

ner Reihe in die erste Richtung ausgeführt sind, wobei die überlappenden Flächen mit den leitenden Übergängen nebeneinander liegender Reihen in die erste Richtung gegeneinander versetzt angeordnet sind, wobei der Strompfad zum Bestimmen des Widerstandes des leitenden Übergangs zwischen dem aktiven Gebiete des Auswahltransistors und dem Speicherkondensator einen L-förmigen Verlauf mit in die zweite Richtung über Tunnelstrukturen oder Brückenstrukturen verbundenen aktiven Gebieten und/oder Speicherkondensatoren besitzt.

6. Teststruktur nach Anspruch 5, dadurch gekennzeichnet, dass der Spannungspfad zum Bestimmen des Widerstandes des leitenden Übergangs zwischen dem aktiven Gebiete des Auswahltransistors und dem Speicherkondensator einen L-förmigen Verlauf mit in die zweite Richtung über Tunnelstrukturen oder Brückenstrukturen verbundenen aktiven Gebieten und/oder Speicherkondensatoren besitzt, wobei der Strompfad und Spannungspfad spiegelsymmetrisch bezüglich des aktiven Gebietes mit dem leitenden Übergänge in die erste Richtung angeordnet sind.

Zusammenfassung

Teststruktur zur Messung eines Übergangswiderstands in einem DRAM-Speicherzellenfeld

5

Eine Teststruktur zum Bestimmen des Widerstandes eines leitenden Übergangs zwischen einem aktiven Gebiet eines Auswahltransistors und einem Speicherkondensator in einem matrixförmigen Zellenfeld, bei dem die aktiven Gebiete der Auswahltransistoren in Reihen in eine erste Richtung und die Speicherkondensatoren in Reihen in eine zweite Richtung, die senkrecht zur ersten Richtung verläuft, angeordnet sind, wobei die leitenden Übergänge zwischen den aktiven Gebieten der Auswahltransistoren und den Speicherkondensatoren an sich überlappenden Flächen der senkrecht zueinander verlaufenden Reihen jeweils in einem einzigen Kantenbereich der sich überlappenden Fläche in die erste Richtung ausgeführt sind, zeichnet sich dadurch aus, dass die aktiven Gebiete der Auswahltransistoren und/oder die Speicherkondensatoren durch Tunnelstrukturen oder Brückenstrukturen in die zweite Richtung im an den zu messenden Übergang zwischen dem aktiven Gebiete des Auswahltransistor und dem Speicherkondensator angrenzenden Bereich verbunden sind, um eine niederohmige Verbindung zum zu messenden Übergang zu erreichen.

10

15

20

25

Fig. 1a)

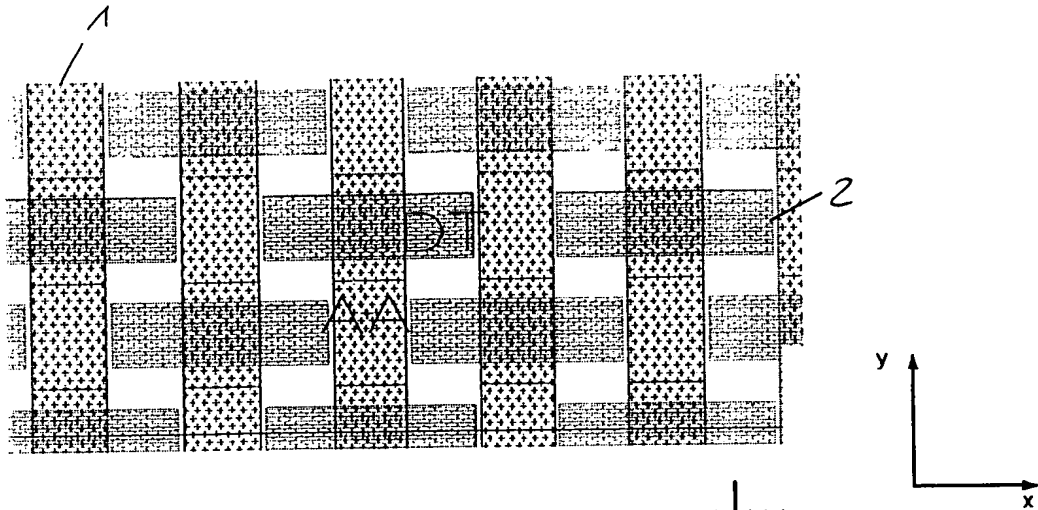


Fig. 1 b)

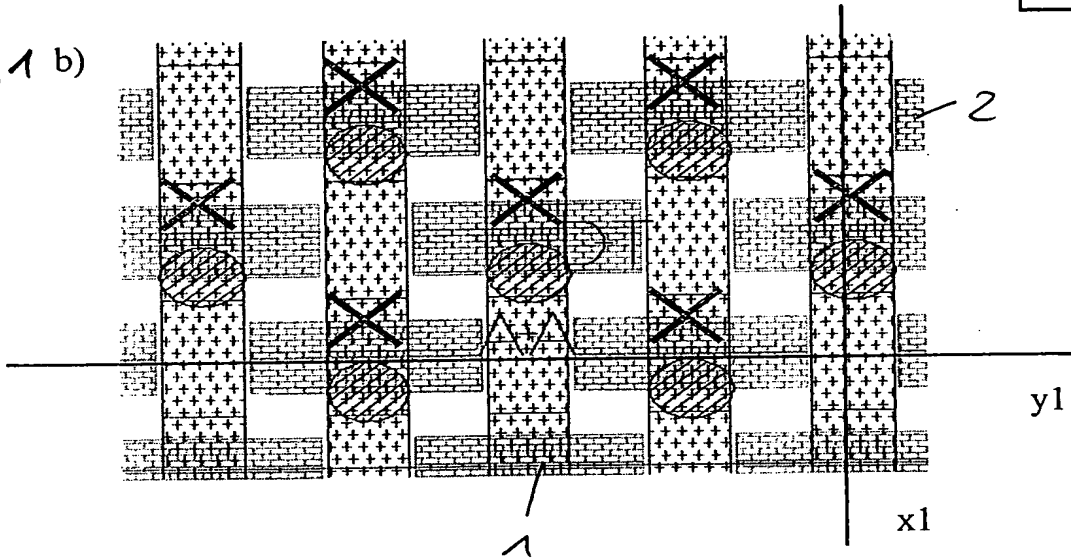


Fig. 1c

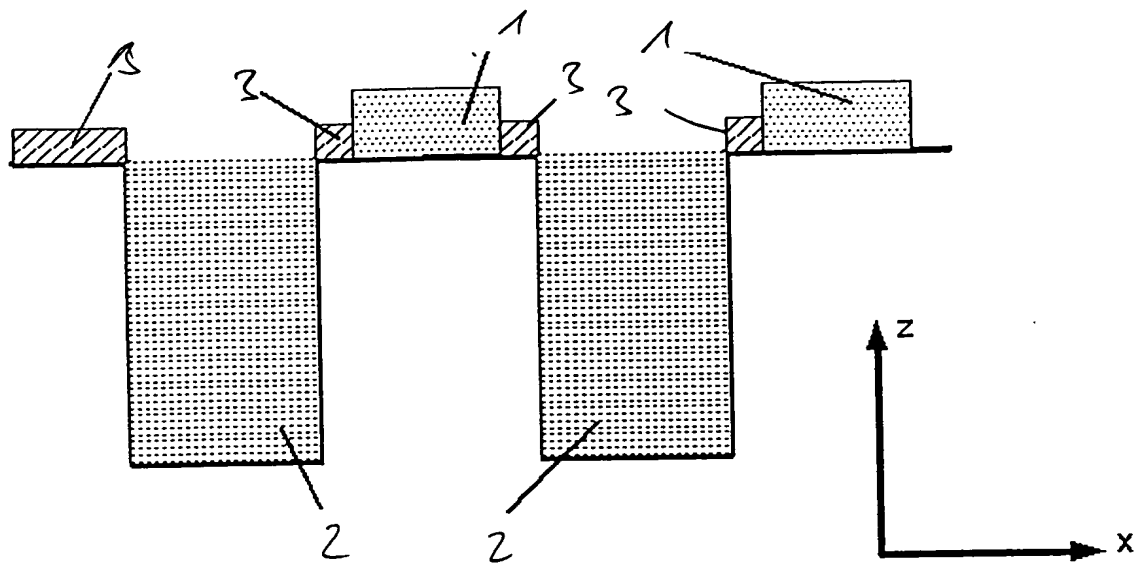
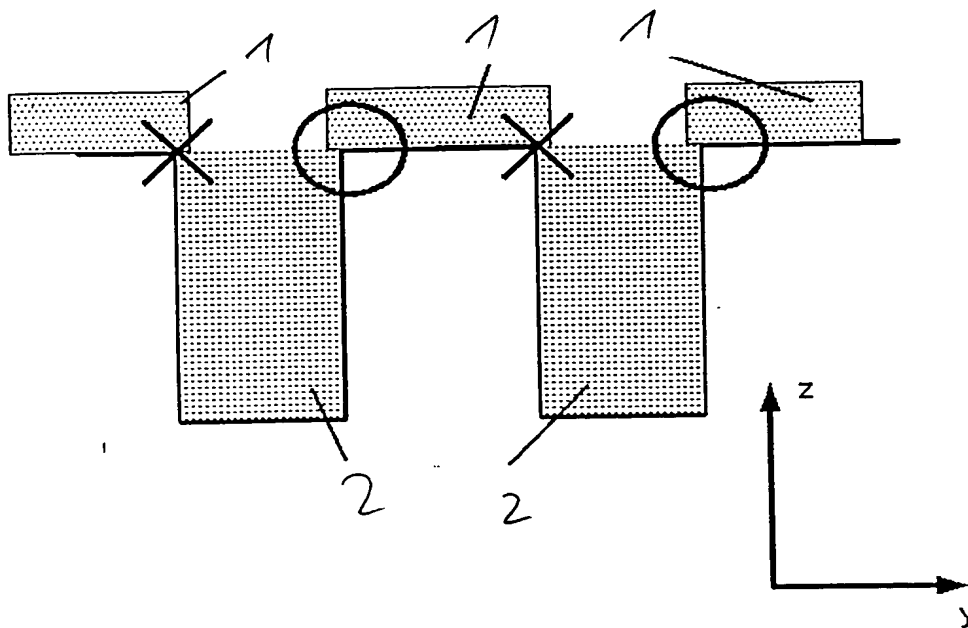


Fig. 1d



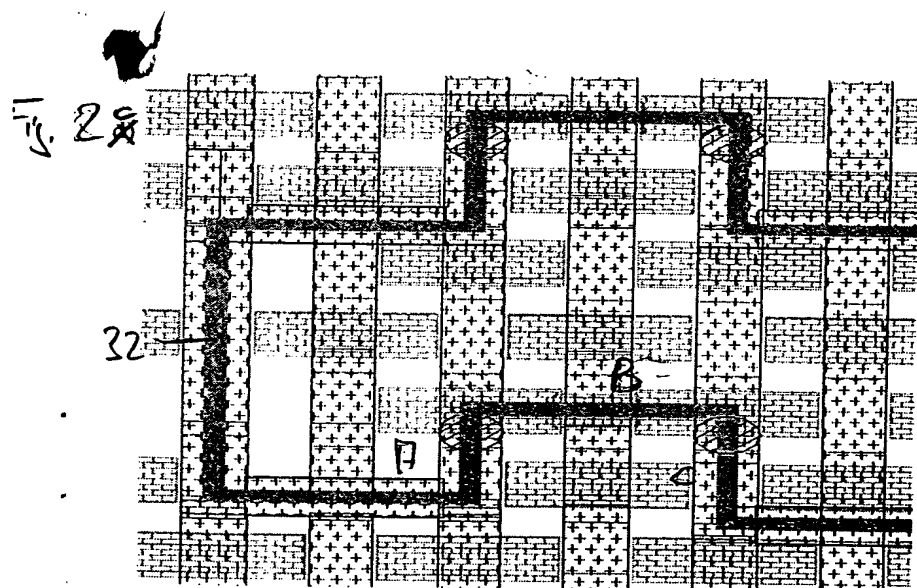
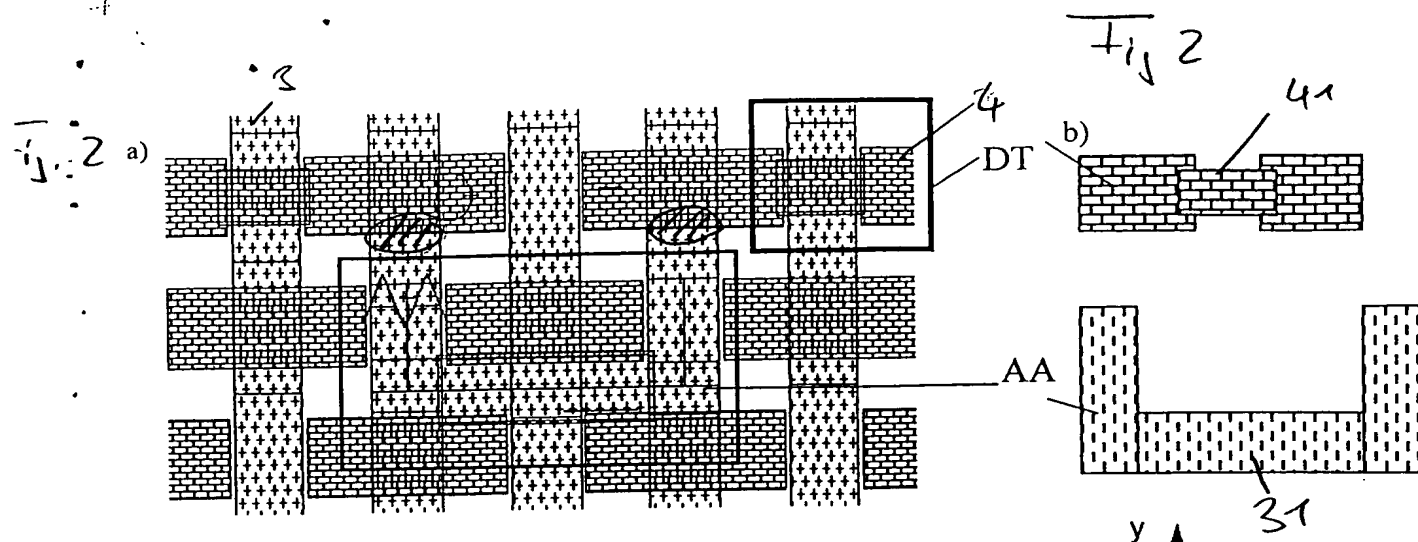


Fig. 2d

